

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-116091

(43)Date of publication of application : 02.05.1997

(51)Int.Cl.

H01L 25/07

H01L 25/18

H01L 25/04

(21)Application number : 07-268354

(71)Applicant : HITACHI LTD
HITACHI TOBU SEMICONDUCTOR LTD

(22)Date of filing : 17.10.1995

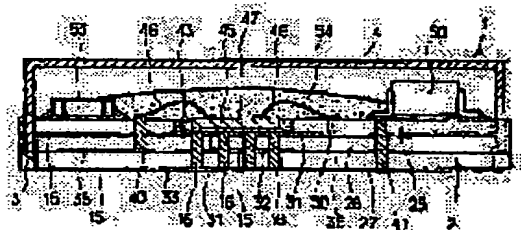
(72)Inventor : NUMANAMI MASAHIRO
TSUCHIYA KATSUJI
ENDO TSUNEO
NUNOKAWA YASUHIRO
KAMISHIRO IWAMICHI
ADACHI TETSUAKI
SUDO KAZUO

(54) HYBRID INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the mounting area by connecting the electrode of an active component mounted on the major plane of a multilayer interconnection board with the interconnection of the multilayer interconnection board with wire and fixing the major plane of the multilayer interconnection board by covering it with a cap and providing a plurality of electrode terminals of the multilayer interconnection at the rear plane.

SOLUTION: On the major plane of a multilayer interconnection board 2, a semiconductor chip 45, being an active component, and a Zener diode 50, capacitor 53, etc., being passive components, are mounted. Then, the electrode of the semiconductor chip 45 is connected with first layer interconnection 30 by conductive wire 46. In such conditions, a cap 4 is fixed by permitting the cap to cover the major plane of the multilayer interconnection board 2 through solder 3, and a plurality of electrode terminals are provided at the rear plane of the multilayer interconnection board 2. Thus, the size of the interconnection board is reduced and the size of the package is reduced. As a result, mounting area can be reduced.



LEGAL STATUS

[Date of request for examination]

15.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-116091

(43) 公開日 平成9年(1997)5月2日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/07			H 0 1 L 25/04	C
25/18				Z
25/04				

審査請求 未請求 請求項の数13 O L (全 11 頁)

(21) 出願番号 特願平7-268354

(22) 出願日 平成7年(1995)10月17日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233527

日立東部セミコンダクタ株式会社

埼玉県入間郡毛呂山町大字旭台15番地

(72) 発明者 沼波 雅仁

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 土屋 勝治

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 秋田 収喜

最終頁に続く

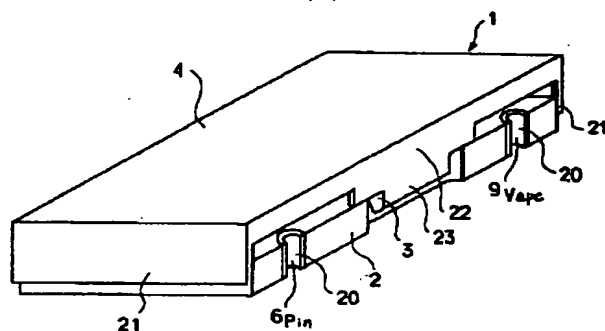
(54) 【発明の名称】 混成集積回路装置

(57) 【要約】

【課題】 実装面積の縮小化が図れる小型の高周波パワーモジュールの提供。

【解決手段】 低温焼成多層配線基板と、前記多層配線基板の主面に搭載される少なくとも一つ以上の能動部品（FETチップ）および受動部品と、前記能動部品の電極と前記多層配線基板の配線（Ag-Pt）とを接続する導電性のワイヤと、前記多層配線基板の主面を覆うように多層配線基板に固定されるキャップと、前記多層配線基板の裏面に設けられた前記多層配線の複数の電極端子とを有する。多層配線基板は下部がストリップライン構造となり、上部がマイクロストリップライン構造となっている。グランド配線は編み目構造となっている。半導体チップは多層配線基板の主面に設けられた窪みに固定され、半導体チップの電極面と前記多層配線基板の配線面の高さは略同一高さとなっている。半導体チップの下にはサーマルビアが設けられている。

図 1



【特許請求の範囲】

【請求項1】 多層配線基板と、前記多層配線基板の主面に搭載される少なくとも一つ以上の能動部品および受動部品と、前記能動部品の電極と前記多層配線基板の配線とを接続する導電性のワイヤと、前記多層配線基板の主面を覆うように多層配線基板に固定されるキャップと、前記多層配線基板の裏面に設けられた前記多層配線の複数の電極端子とを有することを特徴とする混成集積回路装置。

【請求項2】 前記多層配線基板は配線を介在させて誘電体層を多段に積み重ねた構造となるとともに、前記誘電体層間に設けられた信号配線はその上下を誘電体層を介してグランド配線で挟まれるストリップライン構造となっていることを特徴とする請求項1記載の混成集積回路装置。

【請求項3】 前記グランド配線は編み目構造となっていることを特徴とする請求項2記載の混成集積回路装置。

【請求項4】 前記能動部品において半導体チップは前記多層配線基板の主面に設けられた窪みに固定され、前記半導体チップの電極面と前記多層配線基板の配線面の高さは略同一高さとなり、前記半導体チップの電極と前記配線を接続する前記ワイヤは略直線状に延在していることを特徴とする請求項1乃至請求項3のいずれか1項記載の混成集積回路装置。

【請求項5】 前記多層配線基板の所望部分には、所望の誘電体層から最下層の誘電体層まで貫通延在するサーマルビアが設けられていることを特徴とする請求項1乃至請求項4のいずれか1項記載の混成集積回路装置。

【請求項6】 前記サーマルビアの上には半導体チップが位置していることを特徴とする請求項5記載の混成集積回路装置。

【請求項7】 前記多層配線基板の裏面の電極端子において、グランド電極端子はその表面が実装用接合材に濡れないレジスト膜で部分的に覆われて相互に独立した複数の電極端子となっていることを特徴とする請求項1乃至請求項6のいずれか1項記載の混成集積回路装置。

【請求項8】 前記多層配線基板の裏面の電極端子の配列間隔は同一ピッチとなっていることを特徴とする請求項7記載の混成集積回路装置。

【請求項9】 前記多層配線基板の裏面の電極端子のうち、少なくともグランド電極以外の電極端子は多層配線基板の側面の上下に延在する端面スルーホール端子を介して各層の配線に接続されていることを特徴とする請求項1乃至請求項8のいずれか1項記載の混成集積回路装置。

【請求項10】 前記多層配線基板は低温焼成多層セラミック基板となり、配線は高導電性金属で形成されていることを特徴とする請求項1乃至請求項9のいずれか1項記載の混成集積回路装置。

【請求項11】 前記配線は銀系金属で形成されていることを特徴とする請求項10記載の混成集積回路装置。

【請求項12】 前記キャップは多層配線基板に設けた窪みにフックを介して着脱自在に取り付けられていることを特徴とする請求項1乃至請求項11のいずれか1項記載の混成集積回路装置。

【請求項13】 前記多層配線基板には電界効果トランジスタを構成する半導体チップが多段に接続配置されて高周波パワーモジュールを構成していることを特徴とする請求項1乃至請求項12のいずれか1項記載の混成集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は低温焼成多層配線基板を用いた混成集積回路装置に関し、特にセルラー電話機等の送信部に用いる小型の高周波電力増幅装置（高周波パワーモジュール：RFパワーモジュール）に適用して有効な技術に関する。

【0002】

【従来の技術】自動車電話、携帯電話等の移動通信機器無線部に使用されるRFパワーモジュールは、金属製のフランジとキャップとによってパッケージが形成されている。また、前記パッケージの一側面から信号端子等の電極端子を突出させるとともに、パッケージの両端下部からグランド電極を兼ねた取付用フィンを突出させる構造となっている。

【0003】また、前記パッケージ内において、前記フランジ上には両面に導体を有する単層の配線基板が固定されている。この配線基板は、誘電体基板の表面に回路パターンを設け、裏面にグランド（GND）パターンを設けた所謂マイクロストリップライン構造となっている。また、前記配線基板は、部分的に穴が設けられている。そして、前記穴底のフランジ部分には熱伝導性の良好なヒートシンクが固定されている。前記ヒートシンクには電界効果トランジスタからなる半導体チップが固定されている。

【0004】高周波パワーモジュール（高周波電力増幅用MOS・パワーモジュール）については、日立評論社発行「日立評論」1993年第4号、同年4月25日発行、P12～P26に記載されている。同文献には、幅22mm、奥行き12mm、高さ3.7mmのE型の高周波パワーモジュールが開示されている。

【0005】

【発明が解決しようとする課題】従来の高周波パワーモジュールは、大別すると、金属製のフランジ（ヘッダ）と、このフランジ上に固定される配線基板と、前記配線基板に設けた穴を利用しかつ前記フランジに固定したヒートシンク上に固定される半導体チップと、前記フランジに固定され前記配線基板を覆うキャップと、前記配線基板に固定され先端を前記キャップの外に突出させる電

極端子（リード）とからなっている。また、前記フランジの両端は部分的にキャップの外側に突出してグランド電極を兼ねた取付用フィンを構成している。

【0006】なお、前記配線基板の表面にはコンデンサ、抵抗、ツェナーダイオード等の電子部品が搭載されている。また、配線基板の表面の配線と前記半導体チップの電極とは導電性のワイヤで接続されている。

【0007】従来の高周波パワーモジュールの小型化、高性能化、低コスト化等を検討した結果、以下の事項が小型化、高機能化、低コスト化等を妨げるということが判明した。

【0008】（１）配線基板は、誘電体基板の表面に信号配線や電源配線等の回路パターンを設け、裏面にグランド（GND）パターンを設けたマイクロストリップライン構造となっている。これは、配線基板の作製後、抵抗をトリミングしたり、線路幅の調整を行って特性の調整を行うためである。しかし、誘電体基板の一面に信号配線を形成するマイクロストリップライン構造では、所望の電気特性を得るために、信号配線の引き返し長さが長いことから、配線基板が大型化し、この配線基板を内蔵するパッケージが大きくなり、高周波パワーモジュールの小型化が妨げられている。

【0009】（２）フランジ上に配線基板を固定し、さらにキャップで覆う構造となるため、パッケージの高さが大きくなり、高周波パワーモジュールの小型化が妨げられている。

【0010】（３）フランジの両端の一部は、キャップの外側に突出してグランド電極を兼ねた取付用フィンを構成することから高周波パワーモジュールが大型化する。したがって、実装面積も大きくなる。

【0011】（４）パッケージ（キャップ）の一側面から長くリードを突出させることから高周波パワーモジュールが大型化する。したがって、実装面積も大きくなる。

【0012】（５）半導体チップの表面と、配線基板の配線面の高さが異なるため、半導体チップの電極と配線を接続するワイヤが長くなる。また、半導体チップは、配線基板に設けた穴の底部分のフランジに固定されたヒートシンク上に固定されるため、半導体チップの電極と配線との間隔が長くなり、ワイヤが長くなる。ワイヤが長くなると抵抗が増大し高周波特性が低くなる。例えば出力ゲインが小さくなる。

【0013】（６）配線基板は誘電体基板で形成されているため、発熱量の大きい半導体チップを直接配線基板に搭載することができないため、配線基板に穴を設け、この穴底の金属製のフランジ部分に熱伝導性の良好なヒートシンクを固定し、このヒートシンクに半導体チップを固定する構造となるため、部品点数の増大と、組立工数の増大から高周波パワーモジュールのコストの高騰を招いている。

【0014】（７）支持部材、放熱部材、グランド電極を兼ねるフランジを配線基板に固定する構造となっていることから、部品点数が増大する。

【0015】（８）高周波パワーモジュールの実装のため、フランジの一部を成形して取付用フィンを形成しているが、成形のため各取付用フィンの実装面高さがばらつきやすくなり、実装の信頼性を損なうこともある。

【0016】本発明の目的は、実装面積の縮小化が図れる小型の混成集積回路装置を提供することにある。

【0017】本発明の他の目的は、高性能な混成集積回路装置を提供することにある。

【0018】本発明の他の目的は、製造コストの低減が達成できる混成集積回路装置を提供することにある。

【0019】本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0020】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0021】（１）混成集積回路装置は以下の構造となっている。

【0022】（a）多層配線基板と、前記多層配線基板の主面に搭載される少なくとも一つ以上の能動部品および受動部品と、前記能動部品の電極と前記多層配線基板の配線とを接続する導電性のワイヤと、前記多層配線基板の主面を覆うように多層配線基板に固定されるキャップと、前記多層配線基板の裏面に設けられた前記多層配線の複数の電極端子とを有する。

【0023】（b）前記多層配線基板には電界効果トランジスタを構成する半導体チップが多段に接続配置されて高周波パワーモジュールを構成している。

【0024】（c）前記多層配線基板は配線を介させて誘電体層を多段に積み重ねた構造となるとともに、前記誘電体層間に設けられた信号配線はその上下を誘電体層を介してグランド配線で挟まれるストリップライン構造となっている。また、多層配線基板の上部分はマイクロストリップライン構造となっている。

【0025】（d）前記グランド配線は編み目構造となっている。

【0026】（e）前記能動部品において半導体チップは前記多層配線基板の主面に設けられた窪みに固定され、前記半導体チップの電極面と前記多層配線基板の配線面の高さは略同一高さとなり、前記半導体チップの電極と前記配線を接続する前記ワイヤは略直線状に延在している。

【0027】（f）前記多層配線基板の所望部分には、所望の誘電体層から最下層の誘電体層まで貫通延在するサーマルビアが設けられている。

【0028】（g）前記サーマルビアの上には半導体

チップが位置している。

【0029】(h) 前記多層配線基板の裏面の電極端子において、グランド電極端子はその表面が実装用接合材に濡れないレジスト膜で部分的に覆われて相互に独立した複数の電極端子となっている。

【0030】(i) 前記多層配線基板の裏面の電極端子の配列間隔は同一ピッチとなっている。

【0031】(j) 前記多層配線基板の裏面の電極端子のうち、少なくともグランド電極以外の電極端子は多層配線基板の側面の上下に延在する端面スルーホール端子を介して各層の配線に接続されている。

【0032】(k) 前記多層配線基板は低温焼成多層セラミック基板となり、配線は銀系金属からなる高導電性金属で形成されている。

【0033】(2) 前記手段(1)の構成において、前記キャップは多層配線基板に設けた窪みにフックを介して着脱自在に取り付けられている。

【0034】前記(1)の手段によれば、(a) 高周波パワーモジュールは、電界効果トランジスタ等の能動部品や受動部品を主面に搭載した多層配線基板と、この多層配線基板の主面側に固定されたキャップとによって形成された矩形体構造となっていることから、従来のようにパッケージからリードを突出させたり、取付用フィンを突出させないため小型となる。

【0035】(b) 前記多層配線基板はストリップライン構造にマイクロストリップライン構造を積み重ねた構造となるため、伝送線路(信号配線等)の長さを長くとっても、伝送線路は2段に設けられるため、多層配線基板の大きさは小さくでき、高周波パワーモジュールの小型化が達成できる。

【0036】(c) 誘電体層間に設けられた信号配線はその上下を誘電体層を介してグランド配線で挟まれる構造となることから、電気・電磁的シールドがなされ、高周波特性が安定する。

【0037】(d) 前記グランド配線は編み目構造となっていることから、編み目部分には誘電体層が入り込み、グランド配線の上下の誘電体層の接合強度が高くなり、剥がれ難い多層配線基板となる。したがって、耐湿性に優れた高周波パワーモジュールとなる。

【0038】(e) 前記能動部品において半導体チップは前記多層配線基板の主面に設けられた窪みに固定され、前記半導体チップの電極面と前記多層配線基板の配線面の高さは略同一高さとなり、前記半導体チップの電極と前記配線を接続する前記ワイヤは略直線状に延在している。したがって、ワイヤが短くなり、抵抗が軽減されて高周波特性が良好となる。例えば出力ゲインが大きくなる。

【0039】(f) 前記多層配線基板の所望部分には、所望の誘電体層から最下層の誘電体層まで貫通延在するサーマルビアが設けられている。したがって、熱放散

性が高くなり、安定した電気特性が得られる。

【0040】(g) 前記サーマルビアの上には半導体チップが位置している。したがって、半導体チップで発熱した熱は速やかに外部に放散され、電界効果トランジスタが安定動作する。

【0041】(h) 前記多層配線基板の裏面の電極端子において、グランド電極端子はその表面が実装用接合材に濡れないレジスト膜で部分的に覆われて相互に独立した複数の電極端子となっている。したがって、各電極端子に均一に実装用接合材が濡れるため、各電極端子は確実に実装用接合材を介して実装基板に固定される。

【0042】(i) 前記多層配線基板の裏面の電極端子の配列間隔は同一ピッチとなっている。したがって、各電極端子は実装用接合材の片寄りもなく実装用接合材のブリッジ等の不良も発生しなくなる。また、実装のセルフアライン化も可能となる。

【0043】(j) 前記多層配線基板の裏面の電極端子のうち、少なくともグランド電極以外の電極端子は多層配線基板の側面の上下に延在する端面スルーホール端子を介して各層の配線に接続されている。すなわち、高周波パワーモジュールはLCC(リードレス・チップ・キャリア)構造となり、小型化が達成できる。

【0044】(k) 前記多層配線基板は低温焼成多層セラミック基板となることから、配線は融点の低い銀系金属(Ag-Pt)からなる高導電性金属で形成できるため、抵抗の低減から高周波特性が良好となる。すなわち、出力ゲインの向上を図ることができる。

【0045】前記(2)の手段によれば、キャップは多層配線基板に設けた窪みにフックを介して着脱自在に取り付けられていることから、多層配線基板へのキャップの着脱が容易である。

【0046】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0047】なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0048】図1乃至図9は本発明の一実施形態である高周波パワーモジュールに係わる図であり、図1は高周波パワーモジュールの外観を示す斜視図、図2は高周波パワーモジュールの断面図、図3はキャップを取り外した高周波パワーモジュールを示す平面図、図4は高周波パワーモジュールを構成する多層配線基板の構造を示す一部の斜視図、図5は前記多層配線基板の表面、すなわち上段誘電体層の露出面に形成される配線パターン(第1層配線)を示す平面図、図6は前記多層配線基板の上段誘電体層と中段誘電体層との間に形成される配線パターン(第2層配線)を示す平面図、図7は前記多層配線基板の中段誘電体層と下段誘電体層との間に形成される配線パターン(第3層配線)を示す平面図、図8は前記

多層配線基板の裏面、すなわち下段誘電体層の露出面に形成される配線パターン（第4層配線）を示す底面図、図9は前記多層配線基板におけるグラウンド配線となる第2層配線および第4層配線の一部を示す平面図である。

【0049】本実施形態の混成集積回路装置（高周波パワーモジュール）1は、図1に示すように、板状の多層配線基板2と、この多層配線基板2の主面（上面）に被せるように半田3（例えば、 $Pb/Sn=95/5$ の高温半田）を介して固定されたキャップ4とからなり、外観的には、扁平な矩形体となっている。高周波パワーモジュール1は、例えば、幅8mm、長さ12.3mm、高さ2.5mmとなり、従来のE型の高周波パワーモジュールの幅22mm、奥行き12mm、高さ3.7mmに比較して大幅に小型となる。

【0050】また、図8の多層配線基板2の底面図に示すように、前記多層配線基板2の裏面には、複数の電極端子（外部端子）5が設けられている。電極端子5は多層配線基板2の両側にそれぞれ設けられ、多層配線基板2の長手方向に沿って一定ピッチで並び、一側（図中上側）では左から右に向かって入力端子（ P_{in} ）6、グラウンド端子（GND）7、グラウンド端子（GND）8、ゲインコントロール端子（ V_{gc} ）9となる。また、他側（図中下側）では左から右に向かって出力端子（ P_{out} ）10、グラウンド端子（GND）11、グラウンド端子（GND）12、電源端子（ V_{dd} ）13となる。

【0051】前記入力端子6、ゲインコントロール端子9、出力端子10、電源端子13に対応する多層配線基板2の側面には、多層配線基板2の表面から裏面に至る部分に端面スルーホール14が設けられている。これは、高周波パワーモジュール1を実装基板に実装する際、各電極端子が多層配線基板2の裏面の電極部分と側面の端面スルーホール20部分で接続されて実装されることになり、確実な実装が行える。

【0052】以上のことから、本実施形態の高周波パワーモジュール1は、混成集積回路装置ではあるが、単体の半導体チップをパッケージ内に組み込んだLCC構造となり、製品の小型化が達成できる。

【0053】一方、図8において4つのグラウンド端子（GND）7、8、11、12を区画するように延在するハッチング部分は、高周波パワーモジュール1を実装基板に実装する際使用される実装用接合材に濡れない材料で形成されたレジスト膜14である。例えば、高周波パワーモジュール1は半田によって実装基板に実装されることから、前記レジスト膜14は厚さ20 μm 前後のソルダレジスト膜となる。

【0054】前記レジスト膜14はグラウンド配線を覆うように設けられている。したがって、多層配線基板2の裏面には、前記4つのグラウンド端子（GND）7、8、11、12が延在する領域と、レジスト膜14とによって覆われる領域に亘って一体となるグラウンド（GND）

配線15が延在することになる。これは、後述するが、信号配線および電源配線等を上下で誘電体層を介してグラウンド配線で挟む所謂ストリップライン構造とし、電気・電磁的なシールドを行うためである。

05 【0055】また、前記一体のグラウンド配線15をレジスト膜14で部分的に覆い、独立した複数のグラウンド端子7、8、11、12とすることは、各電極端子の面積差を余り大きくしないことにある。すなわち、高周波パワーモジュール1を半田実装した場合、各電極端子の面積差が極端に大きいと、半田の表面張力によって広い面積部分での高周波パワーモジュール1の浮き上がり高さが大きくなり、四方に設けられた小面積部分では、一部で接合不良が発生するおそれがある。そこで、本実施形態では、各電極端子の面積比率は最大でも2倍程度としてある。

15 【0056】また、一列に並ぶ電極端子において各電極端子を等しいピッチで配列することによって、セルフアライメントを促進する。また、半田ブリッジ等の実装不良も防止できる。

20 【0057】また、図8において示す小丸は、高周波パワーモジュール1内で発生した熱を外部に伝達するサーマルビア16であり、同図では一部のみを示してある。サーマルビア16は、サーマルビアホールに熱伝導性の良好な金属を充填した構造となっている。サーマルビア16は、例えば発熱量の大きい能動部品である半導体チップの下部に設けられている。

25 【0058】高周波パワーモジュール1を構成するキャップ4は、例えば金属板を成形して周壁を形成した構造となり、両端の端面壁21で多層配線基板2の両端を覆い、両側の側壁22から突出する接続片23で多層配線基板2の側面と重なり、半田3を介して多層配線基板2に固定されている。また、側壁22の一部は開口されている。キャップ4は厚さ0.1mmとなり、例えばメッキレスの洋白、あるいはニッケルメッキを施したリン青銅で形成されている。

30 【0059】多層配線基板2は、図2および図4に示すように、上段誘電体層（上段誘電体板）25、中段誘電体層（中段誘電体板）26、下段誘電体層（下段誘電体板）27と誘電体層（誘電体板）を3段に重ねた構造となっている。

35 【0060】また、上段誘電体層25の上面（露出面）には、図5に示すような配線パターン（第1層配線30）が設けられている。また、前記上段誘電体層25と中段誘電体層26との間には図6に示すような配線パターン（第2層配線31）がモジュール設けられ、前記中段誘電体層26と下段誘電体層27との間には図7に示すような配線パターン（第3層配線32）が設けられ、下段誘電体層27の裏面（露出面）には図8に示すような配線パターン（第4層配線33）が設けられている。

50 【0061】多層配線基板2は、例えば、ガラスセラミ

ックスを積層させた低温焼成多層配線基板からなり、配線は高導電性金属、例えば銀系金属を使用している。すなわち、外層配線はA g-P tを使用し、内装配線はA gを使用している。低温焼成は600℃程度となり、融点の低いA gの使用が可能となる。A gは抵抗値が低い高導電性金属となるため、高周波特性の向上が達成できる。

【0062】図5乃至図8において、35は信号配線、36は電源配線、15はグランド配線である。これにより、中段誘電体層26と下段誘電体層27との間の第3層配線32は、中段誘電体層26上の第2層配線31と下段誘電体層27の下第4層配線33がいずれもグランド配線15となることから、ストリップライン構造となる。また、上段誘電体層25上の第1層配線30は上段誘電体層25の下面にグランド配線15となる第2層配線31が設けられていることから、マイクロストリップライン構造となる。

【0063】内層の信号配線は上下を誘電体層を介して挟まれることから、電気・電磁的シールドが可能となり、高周波特性が安定する。

【0064】また、上段誘電体層25と中段誘電体層26との間のグランド配線15は、図9に示すように、編み目（メッシュ）構造となっている。このため、編み目部分55には、上段誘電体層25と中段誘電体層26の誘電体層が入り込み、グランド配線の上下の誘電体層の接合強度が高くなり、剥がれ難い多層配線基板2となる。

【0065】前記第1層配線30、第2層配線31、第3層配線32、第4層配線33の各配線は10～20μm程度の厚さとなっている。そして、多層配線基板2全体の厚さは、例えば0.9mmとなる。

【0066】一方、第1層配線30、第2層配線31、第3層配線32、第4層配線33の各配線は、図2および図4に示すように、所望の誘電体層から所望の深さの誘電体層まで貫通延在するブラインド型ビア40や最上段の誘電体層から最下段の誘電体層まで貫通延在する貫通型ビア41、さらには所望の誘電体層から最下段の誘電体層まで貫通延在するサーマルビア16によって電氣的に接続されている。これらブラインド型ビア40、貫通型ビア41およびサーマルビア16はビアホールにA gを充填させた構造となっている。

【0067】また、3枚の重なる上段誘電体層25、中段誘電体層26、下段誘電体層27の両側面にも、半円弧断面の端面スルーホール20が設けられ、下段誘電体層27の第4層配線33で形成される各外部端子5（入力端子6、グランド端子7、811、12、ゲインコントロール端子9、出力端子10、電源端子13）に接続されている。

【0068】前記上段誘電体層25には、図2乃至図5に示すように、矩形の窪み42、43が設けられ、これ

ら窪み42、43の底には半導体チップ44、45が固定されている。窪み42、43によって、半導体チップ44、45の図示しない上面の電極面と、配線面の高さは略同じ高さとなる。このため、半導体チップ44、45の電極と配線とを接続する導電性のワイヤ46はその張り高さ（ループ）を低く形成できるため、短い長さで配線と半導体チップの電極を接続できることになり、抵抗の低減から高周波特性の向上が達成できる。例えば出力ゲインの向上を達成することができる。

【0069】前記半導体チップ45は、図2および図4に示すように、グランド配線15となる第2層配線31に銀ペースト等の接合材47を使用して固定される。また、半導体チップ44、45が固定される部分には、多数のサーマルビア16が設けられ、半導体チップ44、45から発生する熱を速やかに外部に伝達するようになっている。熱は、多層配線基板2の裏面のグランド配線15およびレジスト膜14を介して実装基板に放熱される。したがって、半導体チップ44、45は安定した動作を行う。

【0070】多層配線基板2の表面には、図2乃至図4に示すように、能動部品としてツェナーダイオード（ZD）50が搭載されている。また、受動部品としてはチップ型の抵抗（ $R_1 \sim R_4$ ）51、チップ型のコンデンサ（ $C_1 \sim C_4$ ）52、コンデンサ（バイパスコンデンサ）53が搭載されている。

【0071】また、図2および図3に示すように、半導体チップ44、45、ワイヤ46、一部の抵抗51、コンデンサ52、コンデンサ53等は、耐温性向上のためにレジン54によって被覆されている。

【0072】なお、本実施形態では内層の配線は修正できない。このため、線路特性を測定した後、線路特性に合った各部品（抵抗、コンデンサ等）を選択して組み込むことによって所望の電気特性を得ることができる。

【0073】本実施形態では、電界効果トランジスタを2段に組み込んで、800～1000MHzとなる携帯電話用の高周波パワーモジュールとなる。

【0074】本実施形態の高周波パワーモジュールは以下の効果を有する。

【0075】（1）高周波パワーモジュールは、電界効果トランジスタ等の能動部品や受動部品を主面に搭載した多層配線基板2と、この多層配線基板2の主面側に固定されたキャップ4とによって形成された矩形体構造となっていることから、従来のようにパッケージからリードを突出させたり、取付用フィンを突出させないため小型となる。特に長くリードを突出させないため、実装面積の大幅な縮小が達成できる。実装の場合、E型の場合、実装面積は20mm×14.35mmとなるが、本実施形態の場合は12.3mm×8mmと大幅に小さくなる。

【0076】（2）多層配線基板2ストリップライン構

造にマイクロストリップライン構造を積み重ねた構造となるため、伝送線路(信号配線等)の長さを長くとっても、伝送線路は2段に設けられるため、多層配線基板の大きさは小さくでき、高周波パワーモジュールの小型化が達成できる。

【0077】(3)誘電体層間に設けられた信号配線はその上下を誘電体層を介してグランド配線で挟まれる構造となることから、電気・電磁的シールドがなされ、高周波特性が安定する。

【0078】(4)内層のグランド配線は編み目構造となっていることから、編み目部分には誘電体層が入り込み、グランド配線の上下の誘電体層の接合強度が高くなり、剥がれ難い多層配線基板となる。したがって、耐湿性に優れた高周波パワーモジュールとなる。

【0079】(5)能動部品において、半導体チップ44、45は多層配線基板2の主面に設けられた窪み42、43に固定され、半導体チップの電極面と多層配線基板の配線面の高さは略同一高さとなり、前記半導体チップの電極と前記配線を接続する前記ワイヤ46は略直線状に延在している。したがって、ワイヤが短くなり、抵抗が軽減されて高周波特性が良好となる。例えば出力ゲインが大きくなる。

【0080】(6)多層配線基板2の所望部分には、所望の誘電体層から最下層の誘電体層まで貫通延在するサーマルビア16が設けられている。したがって、熱放散性が高くなり、安定した電気特性が得られる。

【0081】(7)サーマルビア16の上には半導体チップ44、45が位置している。したがって、半導体チップ44、45で発熱した熱は速やかに外部に放散され、電界効果トランジスタが安定動作する。

【0082】(8)多層配線基板2裏面の電極端子5において、グランド配線15はその表面が実装用接合材に濡れないレジスト膜14で部分的に覆われて相互に独立した複数のグランド端子7、8、11、12となっている。したがって、各電極端子5に均一に実装用接合材が濡れるため、各電極端子5は確実に実装用接合材を介して実装基板に固定される。

【0083】(9)多層配線基板2の裏面の電極端子5の配列間隔は同一ピッチとなっている。したがって、各電極端子5は実装用接合材の片寄りもなく実装用接合材のブリッジ等の不良も発生しなくなる。また、実装のセルフアライン化も可能となる。

【0084】(10)多層配線基板2の裏面の電極端子5のうち、少なくともグランド端子7、8、11、12以外の電極端子は、多層配線基板2の側面の上下に延在する端面スルーホール20を介して各層の配線に接続されている。すなわち、高周波パワーモジュールはLCC(リードレス・チップ・キャリア)構造となり、小型化が達成できる。

【0085】(11)多層配線基板2は低温焼成多層セ

ラミック基板となることから、配線は融点の低い銀系金属(Ag-Pt)からなる高導電性金属で形成できるため、抵抗の低減から高周波特性が良好となる。すなわち、出力ゲインの向上を図ることができる。

05 【0086】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、たとえば、図10に示すように、キャップ4は、多層配線基板2に設けた窪み60の縁にフック61を介して着脱自在に取り付ける構造とすれば、多層配線基板2へのキャップ4の着脱が容易となる。

【0087】また、前記実施形態では、多層配線基板2は多層配線構造となっていることから、誘電体層の厚さをさらに薄くでき、容量の増大を図ることができる。また、多層配線基板2となることから、信号配線の長さもさらに長くできるため、特性インピーダンスの増大を図ることも可能である。この場合、酸化チタンやチタン酸バリウム等誘電率の高い材料を誘電体層(誘電体板)として使用すれば、容量の増大はさらに高くなる。

20 【0088】また、前記多層配線基板2は、ガラスセラミック以外の配線基板材料を用いて形成できる。

【0089】また、低温焼成多層配線基板の場合、高導電性金属による配線としては、金や銅を使用できる。

25 【0090】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である高周波パワーモジュールに適用した場合について説明したが、それに限定されるものではない。本発明は少なくとも混成集積回路装置には適用できる。

30 【0091】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0092】(1)高周波パワーモジュールは、LCC構造となるため小型となる。また、配線基板は多層配線基板となるため、信号配線は各段に形成できるため所定の長さを得ることができ、配線基板の大きさも小さくでき、パッケージの大きさを小さくできる。これらによって高周波パワーモジュールの小型化、実装面積の縮小化が達成できる。

40 【0093】(2)高周波パワーモジュールは低温焼成多層配線基板を使用するため、高導電性金属で配線を形成できること、内層の信号配線はストリップライン構造となることから電気・電磁的にシールドされること、半導体チップで発生した熱はサーマルビアによって速やかにパッケージ外に放熱されること等によって高周波特性の向上が達成できる。

45 【0094】(3)多層配線基板の裏面に電極端子を設けるとともに、多層配線基板をキャップで覆うことにより高周波パワーモジュールを形成していることから、部品

点数が少なくなり、組立工数の低減、材料費の低減から製造コストの低減が達成できる。

【図面の簡単な説明】

【図 1】本発明の一実施形態である高周波パワーモジュールの外観を示す斜視図である。

【図 2】本実施形態の高周波パワーモジュールの断面図である。

【図 3】本実施形態のキャップを取り外した高周波パワーモジュールを示す平面図である。

【図 4】本実施形態の高周波パワーモジュールにおける多層配線基板の構造を示す一部の斜視図である。

【図 5】本実施形態の高周波パワーモジュールにおける多層配線基板の表面、すなわち上段誘電体層の露出面に形成される配線パターン（第 1 層配線）を示す平面図である。

【図 6】本実施形態の高周波パワーモジュールにおける多層配線基板の上段誘電体層と中段誘電体層との間に形成される配線パターン（第 2 層配線）を示す平面図である。

【図 7】本実施形態の高周波パワーモジュールにおける多層配線基板の中段誘電体層と下段誘電体層との間に形成される配線パターン（第 3 層配線）を示す平面図である。

【図 8】本実施形態の高周波パワーモジュールにおける多層配線基板の裏面、すなわち下段誘電体層の露出面に

形成される配線パターン（第 4 層配線）を示す底面図である。

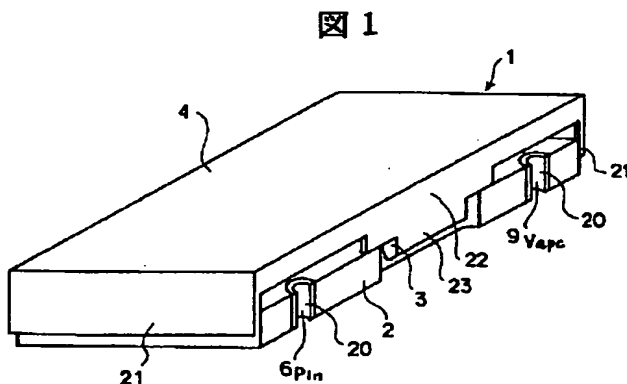
【図 9】本実施形態の高周波パワーモジュールにおけるグランド配線となる第 2 層配線および第 4 層配線の一部を示す平面図である。

【図 10】本発明の他の実施形態である高周波パワーモジュールを示す断面図である。

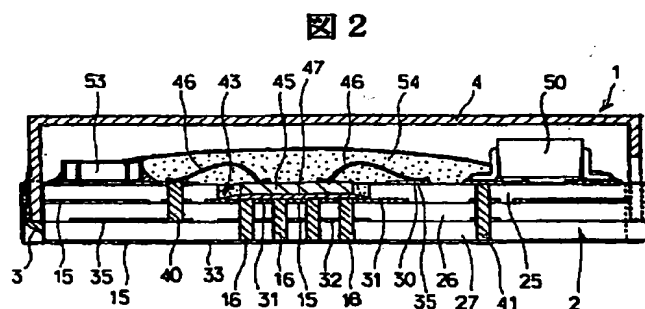
【符号の説明】

1…混成集積回路装置（高周波パワーモジュール）、2…多層配線基板、3…半田、4…キャップ、5…電極端子（外部端子）、6…入力端子（ P_{in} ）、7…グランド端子（GND）、8…グランド端子（GND）、9…ゲインコントロール端子（ V_{apc} ）、10…出力端子（ P_{out} ）、11、12…グランド端子（GND）、13…電源端子（ V_{dd} ）、14…レジスト膜、15…グランド配線、16…サーマルビア、20…端面スルーホール、21…端面壁、22…側壁、23…接続片、25…上段誘電体層、26…中段誘電体層、27…下段誘電体層、30…第 1 層配線、31…第 2 層配線、32…第 3 層配線、33…第 4 層配線、35…信号配線、36…電源配線、40…ブライント型ビア、41…貫通型ビア、42、43…窪み、44、45…半導体チップ、46…ワイヤ、47…接合材、50…ツェナーダイオード、51…抵抗、52…コンデンサ、53…コンデンサ、54…レジスタ。

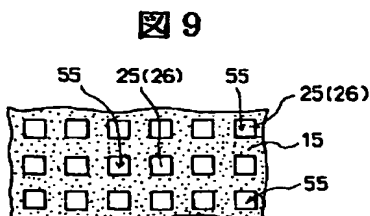
【図 1】



【図 2】

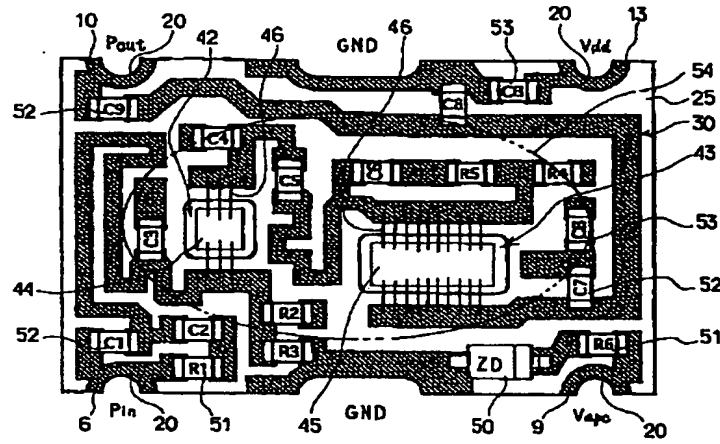


【図 9】



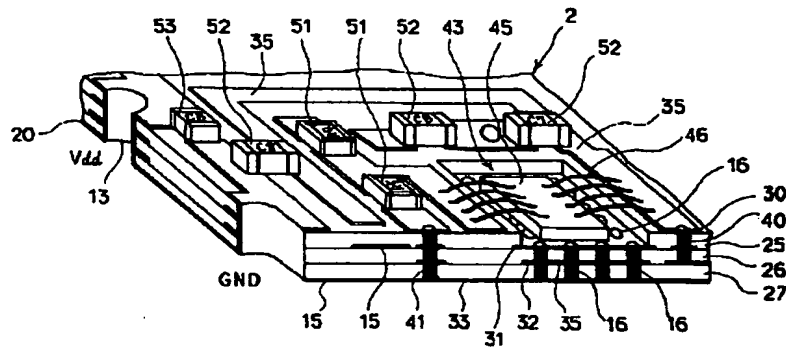
【図3】

図3



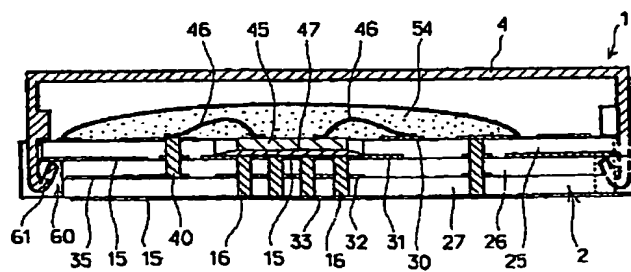
【図4】

図4



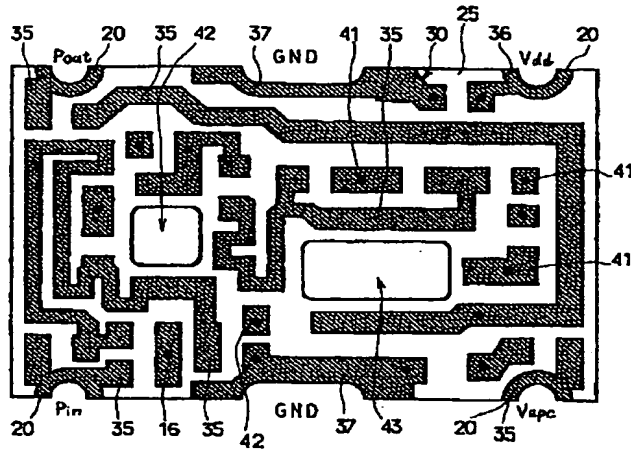
【図10】

図10



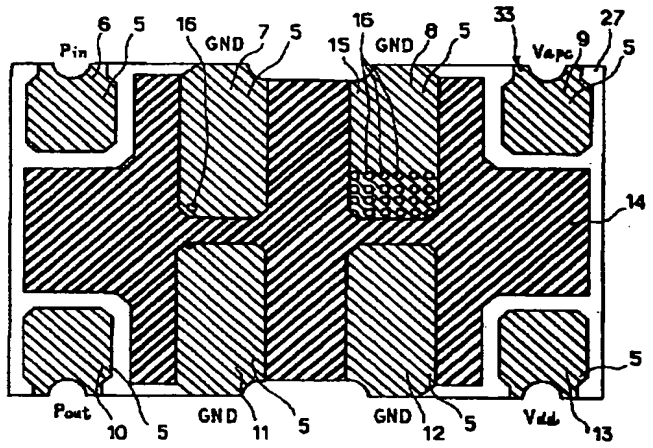
【図5】

図5



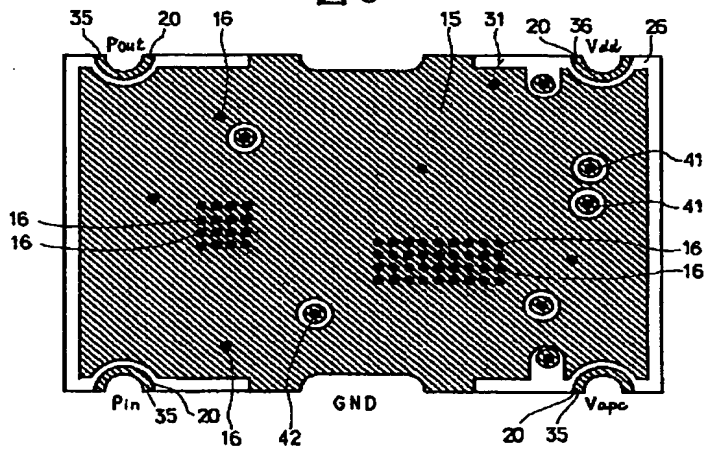
【図8】

図8



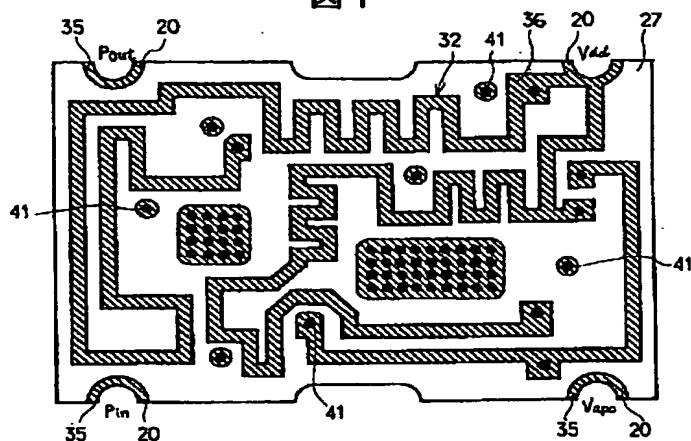
【図6】

図6



【図7】

図7



フロントページの続き

(72)発明者 遠藤 恒雄

東京都小平市上水本町5丁目20番1号 株 25
 式会社日立製作所半導体事業部内

(72)発明者 布川 康弘

東京都小平市上水本町5丁目20番1号 株
 式会社日立製作所半導体事業部内

(72)発明者 神代 岩道

東京都小平市上水本町5丁目20番1号 株
 式会社日立製作所半導体事業部内

(72)発明者 安達 徹朗

埼玉県入間郡毛呂山町大字旭台15番地 日
 立東部セミコンダクタ株式会社内

30 (72)発明者 須藤 一雄

埼玉県入間郡毛呂山町大字旭台15番地 日
 立東部セミコンダクタ株式会社内